This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problems Mailbox.

(9 日本国特許庁 (JP)

①特許出願公開

⑩公開特許公報(A)

昭58—182321

 ⑤Int. Cl.³
 H 03 K 17/693
 H 01 L 27/04 27/08
 H 03 K 19/094 庁内整理番号 7105—5 J 8122—5 F 6370—5 F 6832—5 J ❸公開 昭和58年(1983)10月25日

発明の数 1 審査請求 未請求

(全 5 頁)

9集積回路装置

20特

❷出

顧 昭57-65823

願 昭57(1982)4月20日

加発 明 者 一柳武士

川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジス タ工場内

⑪出 願 人 東京芝浦電気株式会社

個代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区堀川町72番地

男 #田 🛊

1. 発明の名称

集務回路裝置

2. 特許納水の範囲

(2) 上記定電放棄は電視決定負荷として上配 割1 かよび第2 の負荷と同時に形成した同一型 の MO 8 トランジスタを具備している特許請求の 範囲第1項記載の集積回路装置。

3.発明の詳細な説明

[発明の技術分野]

との発明は、単チャンネル E/D 製 M O S・I C もの集機回路袋置に関する。

(発明の技術的背景)

高速動作の輪理集製回路として、一般にロチャンネル R/D 型 M O S・I C (ロー M O S・I C) が普及している。とういったロー M O S・I C 等の論理回路にかける入力部は第1図に示すようなものである。

まず、入力増子AK供給された外部装置からの入力信号は、増子AK対し直列の保険抵抗及と逆電圧を接地点に落とすようにした保暖ダイオード』とによる入力保護回路まに供給される。この入力保護回路まを経た信号は、ソースが接地されたエンヘンスメント型のMOBトランジスタ(以下FETと配す)まのゲートに供給する。このFETまのPレインと複像Vop をの間には、ゲートがソースに接続されたディブレッション

型 MOB・PET 4 が直列に接続され、この MOS・PET 4 の接続点 B は内部倫理園路 1 0 0 の入力段に接続して出力信号を供給する。

とのように、とのエンハンスメント型 MOS・ FET J かよびティプレッション型 MOS・FET J は、いわゆる E/D 型の入力インバータ 5 を構 成してかり、それぞれ、収知用 FET かよび負荷 用 FET となっている。

すまわち、上記のような入力回路において、外部装置からの入力信号は、保険回路 8 を介して、通当な齲賃(ノイズマージン)を有する入力インパータ 5 に供給され、内部触避回路が正確な動作を行なえるように増額される。

W/L(L): 負荷用MOS・PET 4 における有効チ

じる MOB・PETS・4の関値電圧のバラッキは不定で、その方向も一定しない。従って、入力インパータ5の進移特性のバラッキを小さく抑えようとすると、駆動用MOS・PETSおよび負荷用MOS・PETSおよび負荷用MOS・PETの関値のバラッキを散しく抑えなければならず、製造余裕の小さいものとなる。

(発明の目的)

との発明は上記のような点に鑑みなされたもので、外部入力包圧に対しては充分高いノイズマージンを得られるよう、関値包圧を所証の値に設定でき、内部論理回路に対しても信号レベルの整合性が良く、動作余裕、製造余裕が充分あるように遷移特性の改善された入力回路を有する集積回路装置を提供しようとするものである。

(発明の歓要)

すをわち、との発明に係る集徴回路装置は、 内部論理回路への入力回路として、ソース相互 を接続し、それぞれのゲート端子を外部入力信 ャンネル観∀と有効チャンネル長しの比)と、 それぞれのMOS・PBT♂,↓の関値電圧 Ve とで 決定される。

[背景技術の問題点]

とのような入力インパーメδの連移特性を契 なる 月 につき示けと弟2回のようになる。 丁を わち、 / w が大きい場合には、 図中 Vei で示す気 圧が入力インパータもの関値電圧となるもので、 関値亀圧が低下し、入力電圧に対するノイズマ ージンが下がる傾向がある。一方、 🎤 が小さい 掛合には、 β₂の大きい 場合に 比らべ、 関値電圧 は V_{vs} で示すように上昇するが、インパータ & の低レベル出力程圧 Vol が下がりまらず、内部 論理问的の關値電圧 Ves との整合性が劣化し、 動作会裕が小さくなる。さらに、動作余裕が小 さいため、この入力インパータ6の遷移特性の パラッキを小さく抑える必要がある。 しかし、 E/D 型のインパータでは駆動用 MOS・FET 3 か 上び 金奇 用 MOS・PET 4 が異なる 型 の PET であ り、そのため、それぞれの製造工程によって生

号の与えられる信号入力端をよび基準電圧入力端とした例えばエンタのと、PETによる第1かよび第2のMOS・PETを使用し、との第1かよび第2の領域をは、アンスののMOS・PETを使用し、との第1かよび第2の領域をは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスののでは、アンスのでは、アンないのでは、アンスのでは、アンスのでは、アンスのでは、アンスのでは、アンスのでは、アンないのでは、アンスのでは、アンスのでは、アンスのでは、アンスのでは、アンスのでは

[発射の実施例]

以下図面を参照してとの発明の一実施例につ を説明する。第3回はその構成を示するので、 増子では、第1回で示したような面列抵抗Bと 保護ダイオード』による保護回路』を通過した 与が供給される信号入力端で、一方をは基準 電圧の与えられる信号ラインである。それぞれ の畑子Cかよび信号ラインとは、扱飲点Dでも ースを相互扱鋭したエンペンスメント型の第1 かよび第2のMOS・PET11・12の元れでの のゲートに接続する。これら一対の解1かは の駆動用FETとなるものでそれぞれのドレイン には、ゲートをソースに接続したディブレッション型の第3かよび第4のMOS・FET13・ 14をそれぞれ負荷として接続し、この負荷 MOS・PET13かよび14のドレインに電源 VDD を接続する。

一方、前記第1および第2のエンハンスメント型MOS・PET 11・12のソースの共通接続点 D に対しては、ケートをよびソースを接地したディブレッション型の第5のMOS・PET 18を直列に接続する。 この第5のMOS・PET 18はケート電圧が一定に保たれ、一定電流 1。 を流し続ける電流決定負荷10で、差動増額回路

どびMOS∘PET20を直列に設けて地源電位を 分割する場合を示したが、例えば地域電圧を抵 抗分割するなどして、適宜基準電圧を待られる ようにすれば良い。

さらに、とのような差別増級部17を有する 入力回路は、優れた遅移特性を有するもので、 第4図にとの遅移特性を、 月 が小さい場合の R/D 競入力インパーメと比較して示した。 この 図に示すように、 前記急励増級回路を入力回路 へ採用するととにより、単に希望する関値を容 の定電を課16となるものであり、上記負荷用の第3をよび第4のMOB・PRT18をよび14と同一工程すなわち同時に形成したものとするとか容ましい。

そして、この差別増級部17の一方の入力増、 この場合では第2のMOB・PRT13のゲート増 子に続く信号ラインBには、基準電圧部18と 少電圧を与える。との基準電圧部18は、回で は、電源Vanと接地電源間にMOS・PRT19か

品に得るととができるばかりでなく、通移特性が急慢になり、入力信号に対するノイズマージンが大きくなると共に、低レベル出力性圧 Vol も低下し、内部論理団路との整合性すなわち動作余者も改善する。この場合、低レベル出力電圧 Vol は、従来のものに比らべ、約5%となる。

また、さらに、豊助増都部17において、駅助用の第1かよび第2のMOS・PET11・12のスイッチ抵抗を無視できるように、これらのMOS・PET11・12のディメンジョンを大きく設定すると、この登動増稲部17の低レベル出力電圧 Vol の値は、駆動用の第1かよび第2のMOS・PET11・12の関係の影響が殆んどなくなり、定電視線16と負荷用の第3かよび第4のMOS・PET13・14との関係で決定される。

上記実施例では、食荷用の第3かよび第4のMOS・PETI3,14と定電流源15の第5のMOS・PETI3とを同時に同一の製造工程によって形成している。とのため、この製造過程で、

電流決定負荷」のとをあの第5のMOB・PET
18の 値的な抵抗が、例えば増加するように
はらつけば、その「はらつき」と何じ割合で阿じ方向に負荷用の解3かよび第4のMOS・PET
13・14の等価的抵抗力電圧はあり、負荷用の
第3かよび第4のMOB・PET 13・14と定
第3かよび第4のMOB・PET 13・14と定
第3かよび第5のMOB・PET 13・14と定
20 定
20 定
20 定
20 定
20 に対して、入力インパーターの関値
に対して来のように各MOB・PET の関値の「は
5つき」を厳しく抑える必要がなくなり、製造
余裕を大きくとれる。

第5回には定電洗練16をもう一回路構成に した場合の入力回路を示す。をお、定電洗練 16以外の構成および動作は前突施例と同様で あるので、基準電圧部18は図示せず、阿一構 成分には同一符号を付してその説明を省略する。 とのもう一国路構成の定電視施16においては、 すなわち、電源 V_{DD} と接地電源間に構成された第 6 の M O 8・P B T 2 』と第 7 の M O 6・P B T 2 3 と の 裏列回路は、基準電流設定回路で、ととに使れる基準電流 I_B と比例する定電流が第 8 の M O 8・P B T 2 3 に使れる。
との場合にも前実施例と同様に製造工程のペ

^ アレインを電像 ₹55 化接続し、ゲートをソース

に接続したディアレッション型の第6の14 8。

PBT 2 1 が電視決定負荷10となるもので、前

実施例と同様化、とのMOS・PET2lは差動増

料即11の負荷となる解3をよび無4のMOB·

PBT 13・14と同時に形成した河一型のもの

で構成する。との第6のMOS・PET 11のソー

スには、ソースを装地した用7のFETままが直

PET 1 1 1 位、前配第 1 シよび 第 2 の M 0 8 = FET

11,12のソース相互扱統点Dと接地電源と

の間に挿入された対になる第8のMOS・PET 33とか互いにゲートを接続されて、1ラー回

列に要続される。そして、との第7のMOB・

ラメータの変動によって、電視決定負荷』のとなる第6のMOS・FET3』の等価的負荷抵抗が高くなれば、その割合で基準電流Iaが減少するが、同時に、差動増和部の負荷となる第3をよび第4のMOS・PET13,14を上配と同じ割合で等価的負荷抵抗が高くなっており、由力器Bの出力電圧には、製造工程パラメータの変動の影響が現れない。

(発明の効果)

以上のようにとの発明によれば、IC.L8I たどの内部論理回路と外部信号の入力端との間に、一方の入力端に入力信号が与えられ他方の 入力端に基準電圧の与えられた差動増組配を設け、この差動増組配の負荷となるMOS・FET と差動増組配の定電短弧の電流決定負債、を適定したとに、同じ型に形成したとに、おって、設定に対して、対定のでは、対定のでは、対して、対して、対して、対して、対し、動作の裕かよび製造会務の近方に無数には、動作の格を有する入力回路を備えた無数回 ・路蔽盤を提供できる。

略を構成する。

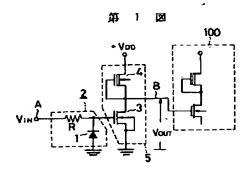
なか、上配実施例では、n - MOSの集検回路 について説明したが、p チャンネルの集検回路 にわいても同様に構成でき、MOS・PETもエン ハンスメント型かよびディブレッション型のも のに限らず、イントリンシック型等、他のもの でもよい。

4. 図面の簡単を説明

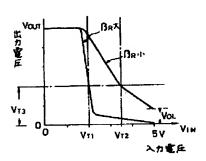
第1図は従来の集積回路要置を説明する回路 図、第2回は従来の入力インパータの選移特性 を示す図、第3回はこの発明の一契施例に係る 集積回路装置を説明する回路圏、第4回はその 選移特性を示す図、第5回はこの発明の他の実 集例を示す回路図である。

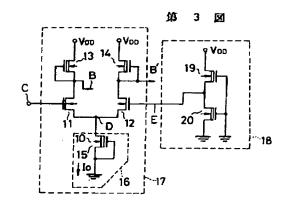
11~15,19~23…MOS*PBT、 16…定電視源、17…差動増幅部、13…差 準低圧部、3…出力強、C…入力強。

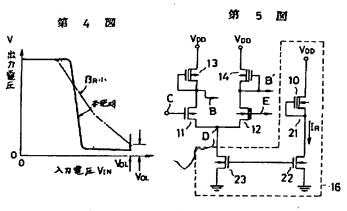
出級人代理人 分離士 鈴 江 倉 彦



第 2 図







-113-